

Requested Patent: JP6019838A

Title: OPTICAL BACK PLANE ;

Abstracted Patent: JP6019838 ;

Publication Date: 1994-01-28 ;

Inventor(s): KURIYAMA MASARU; others: 03 ;

Applicant(s): HITACHI CABLE LTD; others: 01 ;

Application Number: JP19910283151 19911029 ;

Priority Number(s): ;

IPC Classification: G06F13/376 ; G06F15/16 ; H04B10/12 ; H05K7/14 ;

Equivalents:

ABSTRACT:

PURPOSE: To improve the extensiveness of a multi-microprocessor system.

CONSTITUTION: Opto-electric transducers 941-94N transducing a light signal which respective microprocessor boards 201-20N transmit into an electric signal and outputting it, a transmission control part 92 monitoring whether a collision occurs in transmission data or not, transferring all data which the respective microprocessor boards 201-20N transmit to the microprocessor boards 201-20N when the collision does not occur, transferring all data which the microprocessor board with the highest priority transmits to the microprocessor boards 201-20N and abolishing data which the other microprocessor boards transmit when the collision occurs, and electric/optic converters 931-93N converting the electric signal transferred from the transfer control part 92 into the light signal and outputting it to the respective microprocessor boards are provided.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-19838

(43) 公開日 平成6年(1994)1月28日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
G 0 6 F 13/376		9072-5B		
15/16	3 6 0 Z	8840-5L		
H 0 4 B 10/12				
H 0 5 K 7/14	T	7301-4E		
		8220-5K		
			H 0 4 B 9/00	Q
			審査請求 未請求	請求項の数2(全12頁)

(21) 出願番号 特願平3-283151

(22) 出願日 平成3年(1991)10月29日

(71) 出願人 000005120

日立電線株式会社

東京都千代田区丸の内二丁目1番2号

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 栗山 勝

茨城県日立市日高町5丁目1番1号 日立

電線株式会社オプトロシステム研究所内

(72) 発明者 青木 照明

茨城県日立市日高町5丁目1番1号 日立

電線株式会社オプトロシステム研究所内

(74) 代理人 弁理士 絹谷 信雄

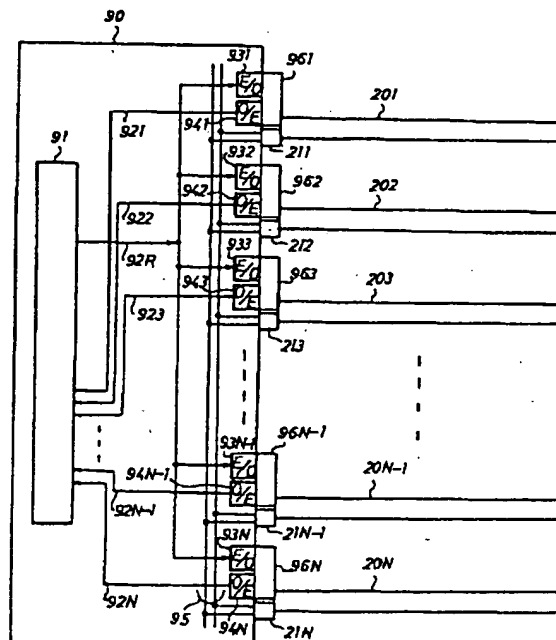
最終頁に続く

(54) 【発明の名称】 光バックプレーン

(57) 【要約】 (修正有)

【目的】 マルチマイクロプロセッサシステムの拡張性を向上させる。

【構成】 各マイクロプロセッサボード201~20Nが送信する光信号を電気信号に変換し出力する光/電気変換器941~94N、送信データに衝突が起こったか起こらなかったかを監視し、衝突が起こらなければ各マイクロプロセッサボード201~20Nが送信する全てのデータをそのまま全てのマイクロプロセッサボード201~20Nに転送し、衝突が起きた場合は、最も優先順位の高いマイクロプロセッサボードが送信したデータを全てのマイクロプロセッサボード201~20Nに転送し、その他のマイクロプロセッサボードが送信したデータは破棄する伝送制御部92並びに、伝送制御部92から転送されて来た電気信号を光信号に変換し各マイクロプロセッサボードに出力する電気/光変換器931~93Nとを備えている。



1

2

【特許請求の範囲】

【請求項1】 マルチマイクロプロセッサシステムを構成する複数のマイクロプロセッサボード相互間においてデータをシリアルに伝送するための信号線と、各マイクロプロセッサボードが送信する光信号を電気信号に変換し上記信号線へ出力する光／電気変換器と、上記信号線の途中において各マイクロプロセッサボードの送信データに衝突が起こったか起こらなかったかを監視し、衝突が起こらなければ各マイクロプロセッサボードが送信する全てのデータをそのまま全てのマイクロプロセッサボードに転送し、衝突が起きた場合は、最も優先順位の高いマイクロプロセッサボードが送信したデータを全てのマイクロプロセッサボードに転送し、その他のマイクロプロセッサボードが送信したデータは破棄する伝送制御部と、該伝送制御部から転送されて来た電気信号を光信号に変換し各マイクロプロセッサボードに出力する電気／光変換器とを備えていることを特徴とする光バックプレーン。

【請求項2】 マルチマイクロプロセッサシステムを構成する複数のマイクロプロセッサボード相互間においてデータをシリアルに伝送するための光伝送路と、各マイクロプロセッサボードが送信する信号を全てのマイクロプロセッサボードの台数分以上に分岐する光分岐器とを備えていることを特徴とする光バックプレーン。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はバックプレーンに係り、特に複数のマイクロプロセッサボード間の光相互接続を行う光バックプレーンに関するものである。

【0002】

【従来の技術】 現在、コンピュータシステムに対する多機能化、高速処理化の要求が高まるにともない、複数のマイクロプロセッサボードを結合し、処理を分散できるマルチマイクロプロセッサシステムが増加してきている。

【0003】 従来、マイクロプロセッサボード相互間の接続には、図12に示すようなKビットのデータを並列に転送する電気バックプレーン10が使われてきた。電気バックプレーン10は、マイクロプロセッサボード間でやり取りするデータの並列転送を行うための電気信号線K本からなるデータバス11と、データの転送相手のマイクロプロセッサボードを指定するための電気信号線M本から成るアドレスバス12と、どのマイクロプロセッサボードがデータバスおよびアドレスバスを使用するかを決定するバス使用権獲得用の電気信号線13と、各マイクロプロセッサボードに電力を供給するための電力線14とを備えている。図13に示すように、各マイクロプロセッサボード201～20Nはそれぞれコネクタ211～21Nを介して電気バックプレーン10のデータバス11、アドレスバス12、アドレスバス使用権獲得

得用の信号線13、電力線14の全てに接続される。

【0004】 各マイクロプロセッサボード201～20Nは、電気バックプレーン10のアドレスバス12によって範囲が0から 2^{n-1} に決定されるアドレス空間により論理的に接続される。図14にそのアドレス空間30の構成例を示す。同図に示すように、アドレス空間30の全領域は、マイクロプロセッサボード201に割り当てられたアドレス領域301、マイクロプロセッサボード202に割り当てられたアドレス領域302、マイクロプロセッサボード203に割り当てられたアドレス領域303、マイクロプロセッサボード20N-1に割り当てられたアドレス領域30N-1、及びマイクロプロセッサボード20Nに割り当てられたアドレス領域30Nで占められている。このように、従来の電気バックプレーンにおいては、アドレス空間の中のある領域を固定的に割り当てることにより各マイクロプロセッサボードを論理的に接続する。

【0005】 各マイクロプロセッサボード201～20N間でデータの受け渡しを行うには、まずデータを送信するマイクロプロセッサボードがデータバス及びアドレスバス使用権獲得用の信号を出力し、これらバスの使用権を獲得したのちアドレスバスにはデータ送信相手のマイクロプロセッサボードのアドレスを出力し、データバスには送信データを出力する。その一例として、マイクロプロセッサボード201からマイクロプロセッサボード202にデータを送信する場合にマイクロプロセッサボード201が出力する信号の様子を図15に示す。マイクロプロセッサボード201は、バス使用権獲得用の信号41を出力し、データバス11およびアドレスバス12の使用権を獲得した時点42において、アドレスバス12にはデータ送信相手のマイクロプロセッサボード202のアドレス領域302の中のあるアドレス302aを出力し、データバス11には送信データ43を出力する。このように、従来の電気バックプレーンにおいては、各マイクロプロセッサボードは1対1でデータの受け渡しを行う。

【0006】

【発明が解決しようとする課題】 ところで、上述した電気バックプレーンを用いた従来のマルチマイクロプロセッサシステムにおいては、システムの拡張性およびデータの受渡しに問題があった。

【0007】 一例として、あるマルチマイクロプロセッサシステムに機能追加のためマイクロプロセッサボードを新たに加えた場合を図16に示す。同図において、マイクロプロセッサボード201～20Nは図13に示すマイクロプロセッサボードであり、マイクロプロセッサボード20N+1は機能追加のため新たに加えられたマイクロプロセッサボードである。このマルチマイクロプロセッサシステムのアドレス空間を図17に示す。図17において、アドレス空間61は全て既存のマイクロプロ

3

ロセッサボード201~20Nに割り当てられており、新たに加えたマイクロプロセッサボード20N+1が要する領域30N+1をアドレス空間61の範囲内に割り当てることはできない。したがって、マイクロプロセッサボード201~20Nと新たに加えたマイクロプロセッサボード20N+1とを論理的に接続することはできず、マイクロプロセッサボード201~20Nと新たに加えたマイクロプロセッサボード20N+1との間でデータの受渡しができない。

【0008】このように、従来の電気バックプレーンにおいては、バックプレーンの大きさを大きくし、さらにコネクタを増やすことによりシステムを拡張することは容易であると考えられるが、これはあくまで物理的な拡張であり、正常にデータの受渡しを行う上で必要なアドレス空間を越えたシステムの拡張はできない。

【0009】次に、あるマルチマイクロプロセッサシステムの機能向上のためマイクロプロセッサボードの改良を行った場合を図18に示す。同図において、マイクロプロセッサボード201とマイクロプロセッサボード203~20Nは図13に示すマルチマイクロプロセッサシステムを構成するマイクロプロセッサボードであり、マイクロプロセッサボード202aは性能向上のため改良されたマイクロプロセッサボードである。このマルチマイクロプロセッサシステムのアドレス空間を図19に示す。図19において、性能向上のため改良されたマイクロプロセッサボード202aが要するアドレス領域82は改良前に比較して広くなっており、これと隣り合うマイクロプロセッサボード201に割り当てられた領域301との間は領域83の部分が重なっており、またマイクロプロセッサボード203に割り当てられた領域303との間は領域84の部分が重なっている。したがって、マイクロプロセッサボード202aとマイクロプロセッサボード201以外のマイクロプロセッサボードがこのアドレス領域が重なった領域83内のアドレスにデータを送信した場合、マイクロプロセッサボード202aとマイクロプロセッサボード201の両方がデータを受信してしまい正常なデータの受渡しが行えない。また、マイクロプロセッサボード202aとマイクロプロセッサボード203以外のマイクロプロセッサボードがアドレス領域が重なった領域84内のアドレスにデータを送信した場合、マイクロプロセッサボード202aとマイクロプロセッサボード203の両方がデータを受信してしまい正常なデータの受渡しが行えない。

【0010】このように、従来の電気バックプレーンを用いたマルチマイクロプロセッサシステムにおいては、性能向上のためシステムを構成する一部のマイクロプロセッサボードを改良する場合においても、既存システムのアドレス空間に変化がないようにしなければ正常なデータの受渡しを行うことができない。

【0011】また、前述したように従来の電気バック

4

プレーンにおいては各マイクロプロセッサボードは1対1でデータの受渡しを行うため、あるマイクロプロセッサボードが全てのマイクロプロセッサボードに同一内容のデータを送信する場合でも、図14において示したようなデータ受渡し動作を他の全てのマイクロプロセッサボードの枚数分行わなければならない、非能率的である。

【0012】本発明の目的は、前記した従来技術の欠点を解消し、マルチマイクロプロセッサシステムの拡張性に優れ、且つ、システムを拡張した際にもこれを構成するすべてのマイクロプロセッサボード相互間のデータの受渡しを正常に行うことのできる新規なバックプレーンを提供することにある。

【0013】

【課題を解決するための手段】上記目的を達成するため本発明の光バックプレーンは、マルチマイクロプロセッサシステムを構成する複数のマイクロプロセッサボード相互間においてデータを直列に伝送するための信号線と、各マイクロプロセッサボードが送信する光信号を電気信号に変換し上記信号線へ出力する光/電気変換器と、上記光伝送路の途中において各マイクロプロセッサボードの送信データに衝突が起こったか起こらなかったかを監視し、衝突が起こらなければ各マイクロプロセッサボードが送信する全てのデータをそのまま全てのマイクロプロセッサボードに転送し、衝突が起きた場合は、最も優先順位の高いマイクロプロセッサボードが送信したデータを全てのマイクロプロセッサボードに転送し、その他のマイクロプロセッサボードが送信したデータは破棄する伝送制御部と、その伝送制御部から転送されて来た電気信号を光信号に変換し各マイクロプロセッサボードに出力する電気/光変換器とを備えて構成され、或いは、マルチマイクロプロセッサシステムを構成する複数のマイクロプロセッサボード相互間においてデータを直列に伝送するための光伝送路と、各マイクロプロセッサボードが送信する信号を全てのマイクロプロセッサボードの台数以上に分岐する光分岐器とを備えて構成される。

【0014】

【作用】本発明の光バックプレーンは、マイクロプロセッサボード間でやり取りするデータをパラレルに転送するバス構造に代えて、データをシリアルに伝送する伝送路構造を採用している。したがって、各マイクロプロセッサボードに、自分が送信したデータが他のマイクロプロセッサボードが送信したデータと衝突したかどうかを光バックプレーンから受け取るデータの内容を監視することによって検出し、且つデータの衝突があった場合は同じフレームを再送する機能を持たせておくことにより、マルチマイクロプロセッサシステムを拡張した際にも既存のアドレス空間に影響を与えることなく正常にデータの受渡しを行うことができる。マイクロプロセッサボードに上記機能を持たせることはプログラム変更等に

5

より容易に達成できるので、本発明の光バックプレーンを用いて既存のマイクロプロセッサボードによる高性能なマルチマイクロプロセッサシステムを実現することができる。

【0015】

【実施例】次に、本発明の実施例について説明する。

【0016】【実施例1】図1は本発明の第1の実施例を示す図であり、光バックプレーン90とN台のマイクロプロセッサボード201~20Nとの接続形態を示している。光バックプレーン90は、マイクロプロセッサボード201~20N相互間においてデータを直列に伝送するための信号線921~92N、及び92Rと、各マイクロプロセッサボード201~20Nが送信する光信号を電気信号に変換し信号線921~92Nへ出力する光/電気(O/E)変換器941~94Nと、信号線921~92Nと信号線92R間を中継すると共に各マイクロプロセッサボード201~20Nの送信データに衝突が起こったか起こらなかったかを監視し、衝突が起こらなければ各マイクロプロセッサボード201~20Nが送信する全てのデータをそのまま全てのマイクロプロセッサボード201~20Nに転送し、衝突が起きた場合は、最も優先順位の高いマイクロプロセッサボードが送信したデータを全てのマイクロプロセッサボード201~20Nに転送し、その他のマイクロプロセッサボードが送信したデータは破棄する伝送制御部91と、伝送制御部91から転送されて来た電気信号を光信号に変換し各マイクロプロセッサボード201~20Nに出力する電気/光(E/O)変換器931~93Nと、各マイクロプロセッサボード201~20Nに電力を供給するための電力線95とを備えて構成されている。E/O変換器931~93NとO/E変換器941~94Nは、各マイクロプロセッサボード201~20Nに対応させて各々一個づつ組を成して配設され、各組毎に光コネクタ961~96Nが設けられている。また、各光コネクタ961~96Nに隣接させて電力用コネクタ211~21Nが配設されている。尚、実際には、システム拡張のため後にマイクロプロセッサボードを増設できるよう、光伝送路、O/E及びE/O変換器、コネクタ類等は当初のマイクロプロセッサボード数よりも多く設定される。

【0017】光バックプレーン90によって相互接続されるマイクロプロセッサボード201~20Nは、図2に示すように主プロセッサを含む内部回路105と、他のマイクロプロセッサボードとの通信を制御するアクセス制御部104と、他のマイクロプロセッサボード当てのデータをシリアルに送信し、他のマイクロプロセッサボードからの受信データをパラレルデータに変換するデータ直列並列変換回路101とを備えている。データ直列並列変換回路101は、光バックプレーン90の光コネクタ961~96Nと接続されるE/O変換器102

6

並びにO/E変換器103に接続されている。このように構成された各マイクロプロセッサボード201~20Nは、他のマイクロプロセッサボード当てのデータをシリアルに送信する。また、送信に際し各マイクロプロセッサボード201~20Nは他のマイクロプロセッサボード宛てのシリアルデータを一定長のフレーム単位に送信する。そのフレームの構成を図3に示す。図3において、111はフレーム開始表示領域、112は1ビットの送信相手のアドレス表示領域、113は1ビットの送信元のアドレス表示領域、114はデータ領域、115はフレーム終了表示領域である。112及び113は2¹個のアドレスを表すことができる。各マイクロプロセッサボード201~20Nは、自分が送信したデータが他のマイクロプロセッサボードが送信したデータと衝突し光バックプレーン90内部の伝送制御部91で破棄されたかどうかを、光バックプレーン90から受け取るフレームの内容を監視することによって検出する。

【0018】図1に示したように、本実施例の光バックプレーン90においては従来の電気バックプレーンでのアドレスバス12のようなデータ転送相手のマイクロプロセッサボードを指定する信号線はない。そこで、マイクロプロセッサボード201のアドレスは1、マイクロプロセッサボード202のアドレスは2、マイクロプロセッサボード203のアドレスは3、マイクロプロセッサボード20NのアドレスはNというように各々のマイクロプロセッサボードに単一の論理的アドレスを割り当てる。このように本実施例の光バックプレーン90においては、各マイクロプロセッサボードに単一の論理的アドレスを割り当てることによって各マイクロプロセッサボード間を論理的に接続する。また、各マイクロプロセッサボードに割り当てられるアドレスは論理的なものであるため、全てのマイクロプロセッサボードを一つのグループとしてそのグループに一つのアドレスを割り当てることにより、全てのマイクロプロセッサボードを一つのアドレスで指定することも可能である。

【0019】データ受渡しの際には、データを送信するマイクロプロセッサボードが自分のアドレスを送信元のアドレス表示領域113に書き込み、送信相手のマイクロプロセッサボードのアドレスを送信相手のアドレス表示領域112に書き込んだフレームを送信する。そして、データを送信したそのマイクロプロセッサボードは、光バックプレーン90から受け取るフレームの送信元のアドレス表示領域113及び送信相手のアドレス表示領域112の内容を監視することによって送信したフレームが送信相手のマイクロプロセッサボードに転送されたか又は光バックプレーン90内部の伝送制御部91で破棄されたかを検出し、破棄された場合は同じフレームを再送する。

【0020】一例として、マイクロプロセッサボード201からマイクロプロセッサボード202にデータを送

7

信する場合にマイクロプロセッサボード201が出力するフレームを図4に示す。同図において、送信相手のアドレス表示領域112にはマイクロプロセッサボード202のアドレス2を書込み、送信元のアドレス表示領域113にはマイクロプロセッサボード201のアドレス1を書込む。マイクロプロセッサボード201は、このフレームを送信し、その後、光バックプレーン90から受け取るフレームを監視し、光バックプレーン90から受け取るフレームの送信元のアドレス表示領域が1でありかつ、送信相手のアドレス表示領域が2である場合は送信したフレームが送信相手のマイクロプロセッサボード202に転送されたとき、送信元のアドレス表示領域が1でなく、又は送信相手のアドレス表示領域が2ではない場合は送信したフレームは光バックプレーン90内部の伝送制御部91で破棄されたとき、同じフレームを再送する。

【0021】次に、光バックプレーン90を用いて構成したマルチマイクロプロセッサシステムのシステム拡張性について説明する。

【0022】図5は既存のマルチマイクロプロセッサシステムに機能追加のため別のマイクロプロセッサボードを新たに加えた場合を示している。同図において、マイクロプロセッサボード201~20Nは図1に示すマルチマイクロプロセッサシステムを構成するマイクロプロセッサボードであり、マイクロプロセッサボード20N+1は機能追加のため新たに加えたマイクロプロセッサボードである。ここで、マイクロプロセッサボード20N+1の論理的アドレスにはN+1が割り当てられる。マイクロプロセッサボード201~20N+1に割り当てられたアドレスの総数Yが、各マイクロプロセッサボード201~20Nが出力するフレームのLビットの送信相手のアドレス表示領域112及び、Lビットの送信元のアドレス表示領域113が表すことができる 2^L 個のアドレスよりも少なければ、すなわち $Y \leq 2^L$ の場合は、送信相手のアドレス表示領域112や送信元のアドレス表示領域113にN+1を書き込むことにより、マイクロプロセッサボード201~20Nとマイクロプロセッサボード20N+1の間でデータのやり取りをすることができる。また、マイクロプロセッサボード201~20N+1に割り当てられたアドレスの総数Yが、各マイクロプロセッサボードが出力するフレームのLビットの送信相手のアドレス表示領域112及び、Lビットの送信元のアドレス表示領域113が表すことができる 2^L 個のアドレスよりも多い場合、すなわち $Y > 2^L$ の場合は、図6に示すように各マイクロプロセッサボードが出力するフレームの送信相手のアドレス表示領域112及び、送信元のアドレス表示領域113をL+pビットとして、L+pを $Y \leq 2^{L+p}$ を満たす値とすることにより、送信相手のアドレス表示領域112や送信元のアドレス表示領域112にN+1を書き込むことにより、

8

マイクロプロセッサボード201~20Nとマイクロプロセッサボード20N+1の間でデータのやり取りをすることができる。

【0023】図7は既存のマルチマイクロプロセッサシステムの機能向上のため一部のマイクロプロセッサボードの改良を行った場合を示している。同図において、マイクロプロセッサボード201とマイクロプロセッサボード203~20Nは図1に示すマルチマイクロプロセッサシステムを構成するマイクロプロセッサボードであり、マイクロプロセッサボード202aは性能向上のため改良されたマイクロプロセッサボードである。この場合、マイクロプロセッサボード202aのアドレスを改良前のマイクロプロセッサボード202のアドレスと同様に2とすれば、マイクロプロセッサボード202に改良を行う前と同様にデータのやり取りをすることができる。

【0024】前述したように、本実施例の光バックプレーン90においては、全てのマイクロプロセッサボードを一つのグループとしてそのグループに一つのアドレスを割り当てることにより、全てのマイクロプロセッサボードを一つのアドレスで指定することも可能である。したがって、あるマイクロプロセッサボードが他の全てのマイクロプロセッサボードに同じ内容のデータを送信する場合、前述の全てのマイクロプロセッサボードを表すアドレスを送信相手のアドレス表示領域に書き込むことにより、1種類のフレームを1回送信すればよく非常に能率的である。

【0025】【実施例2】図8に本発明の第2の実施例を示す。同図に示す光バックプレーン100はマイクロプロセッサシステムを構成する複数のマイクロプロセッサボード201~20N相互間においてデータをシリアルに伝送するための光伝送路971~97N及び981~98Nと、各マイクロプロセッサボード201~20Nからの信号(光信号)を全てのマイクロプロセッサボードの台数以上に分岐して受信側光伝送路981~98Nへ送出する光分岐器92と、各マイクロプロセッサボード201~20Nに電力を供給するための電力線95とを備えて構成されている。光伝送路の入・出力端の各組毎に光コネクタ961~96Nが設けられている。また、光コネクタ961~96Nに隣接させて電力用コネクタ211~21Nが配設されている。尚、実際には、システム拡張のため後にマイクロプロセッサボードを増設できるよう、光伝送路、コネクタ類等は当初のマイクロプロセッサボード数よりも多く設定される。

【0026】このように構成された光バックプレーン100においては、各マイクロプロセッサボード201~20Nが送信する光信号は光分岐器91で分岐されて全てのマイクロプロセッサボード201~20Nに転送される。

【0027】光バックプレーン100によって相互接続

されるマイクロプロセッサボード201~20Nは、図9に示すように主プロセッサ106を含む内部回路105と、他のマイクロプロセッサボードとの通信を制御するアクセス制御部104と、他のマイクロプロセッサボード当てのデータをシリアルに送信し、他のマイクロプロセッサボードからの受信データをパラレルデータに変換するデータ直列並列変換回路101とを備えている。内部回路105は、主プロセッサ106の他に、主メモリ107と通信制御プロセッサ109とを有し、これらがプロセッサボードバス108を介してアクセス制御部104に接続されている。データ直列並列変換回路101は、光バックプレーン90の光コネクタ961~96Nと接続されるO/E変換器102並びにE/O変換器103に接続されている。このように構成された各マイクロプロセッサボード201~20Nは、他のマイクロプロセッサボード当てのデータをシリアルに送信する。また、送信に際し各マイクロプロセッサボード201~20Nは他のマイクロプロセッサボード宛てのシリアルデータを一定長のフレーム単位に送信する。そのフレームの構成は図3と同様である。

【0028】図8に示したように、本実施例の光バックプレーン100においては従来の電気バックプレーン10でのアドレスバス12のようなデータ転送相手のマイクロプロセッサボードを指定する信号線はない。そこで、この光バックプレーン100を用いてマイクロプロセッサシステムを構成する場合においても、上記第1実施例と同様に各マイクロプロセッサボード201~20Nに単一の論理的アドレスを割り当て各マイクロプロセッサボード201~20N間を論理的に接続する。そして、データ受渡しの際には、データを送信するマイクロプロセッサボードが自分のアドレスを送信元のアドレス表示領域113に書き込み、送信相手のマイクロプロセッサボードのアドレスを送信相手のアドレス表示領域112に書き込んだフレームを送信する。データを送信したそのマイクロプロセッサボードは、光バックプレーン100から受け取るフレームの送信元のアドレス表示領域113及び送信相手のアドレス表示領域112の内容を監視することによって、送信したフレームが送信相手のマイクロプロセッサボードに転送されたか又は他のマイクロプロセッサボードが送信したデータと衝突したかどうかを検出し、衝突した場合は同じフレームを再送する。

【0029】一例として、マイクロプロセッサボード201からマイクロプロセッサボード202にデータを送信する場合のデータ受渡し方法について説明する。マイクロプロセッサボード201が出力するフレームの構成は図4と同様である。マイクロプロセッサボード201は、フレームを送信し、その後、光バックプレーン100から受け取るフレームを監視し、光バックプレーン100から受け取るフレームの送信元のアドレス表示領域113が1でありかつ、送信相手のアドレス表示領域1

12が2である場合は送信したフレームが送信相手のマイクロプロセッサボードに転送されたとみなし、そうでない場合は送信したフレームが他のマイクロプロセッサボードが送信したデータと衝突し正常なデータフレームが転送されなかったとみなし、同じフレームを再送する。

【0030】次に、光バックプレーン100を用いて構成したマルチマイクロプロセッサシステムのシステム拡張性について説明する。

【0031】図10は既存のマルチマイクロプロセッサシステムに機能追加のため別のマイクロプロセッサボードを新たに加えた場合を示している。同図において、マイクロプロセッサボード201~20Nは図8に示すマルチマイクロプロセッサシステムを構成するマイクロプロセッサボードであり、マイクロプロセッサボード20N+1は機能追加のため新たに加えたマイクロプロセッサボードである。ここで、マイクロプロセッサボード20N+1の論理的アドレスにはN+1が割り当てられる。マイクロプロセッサボード201~20N+1に割り当てられたアドレスの総数Yが、各マイクロプロセッサボード201~20Nが出力するフレームのLビットの送信相手のアドレス表示領域112及び、Lビットの送信元のアドレス表示領域113が表すことができる 2^l 個のアドレスよりも少なければ、すなわち $Y \leq 2^l$ の場合は、送信相手のアドレス表示領域112や送信元のアドレス表示領域113にN+1を書き込むことにより、マイクロプロセッサボード201~20Nとマイクロプロセッサボード20N+1の間でデータのやり取りをすることができる。また、マイクロプロセッサボード201~20N+1に割り当てられたアドレスの総数Yが、各マイクロプロセッサボードが出力するフレームのLビットの送信相手のアドレス表示領域112及び、Lビットの送信元のアドレス表示領域113が表すことができる 2^l 個のアドレスよりも多い場合、すなわち $Y > 2^l$ の場合は、第1の実施例と同様、図6に示すように各マイクロプロセッサボードが出力するフレームの送信相手のアドレス表示領域112及び、送信元のアドレス表示領域113をL+pビットとして、L+pを $Y \leq 2^{l+p}$ を満たす値とし、送信相手のアドレス表示領域112や送信元のアドレス表示領域112にN+1を書き込むことにより、マイクロプロセッサボード201~20Nとマイクロプロセッサボード20N+1の間でデータのやり取りをすることができる。

【0032】図11は既存のマルチマイクロプロセッサシステムの機能向上のため一部のマイクロプロセッサボードの改良を行った場合を示している。同図において、マイクロプロセッサボード201とマイクロプロセッサボード203~20Nは図8に示すマルチマイクロプロセッサシステムを構成するマイクロプロセッサボードであり、マイクロプロセッサボード202aは性能向上の

ため改良されたマイクロプロセッサボードである。この場合、マイクロプロセッサボード202aのアドレスを改良前のマイクロプロセッサボード202のアドレスと同様に2とすれば、マイクロプロセッサボード202に改良を行う前と同様にデータのやり取りをすることができ。

【0033】また、この光バックプレーン100においても、全てのマイクロプロセッサボードを一つのグループとしてそのグループに一つのアドレスを割り当てることにより、全てのマイクロプロセッサボードを一つのアドレスで指定することも可能である。したがって、あるマイクロプロセッサボードが他の全てのマイクロプロセッサボードに同じ内容のデータを送信する場合、前述の全てのマイクロプロセッサボードを表すアドレスを送信相手のアドレス表示領域112に書き込むことにより、1種類のフレームを1回送信すればよく非常に能率的である。

【0034】

【発明の効果】以上要するに本発明の光バックプレーンは、マルチマイクロプロセッサシステムの拡張性に優れ、システムを拡張した際にもこれを構成するすべてのマイクロプロセッサボード相互間のデータの受渡しを正常且つ能率的に行うことができるという優れた効果を発揮する。

【図面の簡単な説明】

【図1】本発明の第1実施例を示すマルチマイクロプロセッサシステムの構成図である。

【図2】図1の光バックプレーンにより相互接続されるマイクロプロセッサボードを示す構成図である。

【図3】本発明の光バックプレーンにより相互接続されるマイクロプロセッサボードが送信するフレームの構成例を示す図である。

【図4】本発明の光バックプレーンにより相互接続されるマイクロプロセッサボードが送信するフレームの構成例を示す図である。

【図5】図1に示すマルチマイクロプロセッサシステムに機能追加のためマイクロプロセッサボードを新たに加えた場合を示す構成図である。

【図6】本発明の光バックプレーンにより相互接続されるマイクロプロセッサボードが送信するフレームの構成例を示す図である。

【図7】図1に示すマルチマイクロプロセッサシステムの機能向上のため一部のマイクロプロセッサボードの改良を行った場合を示す構成図である。

【図8】本発明の第2実施例を示すマルチマイクロプロ

セッサシステムの構成図である。

【図9】図8の光バックプレーンにより相互接続されるマイクロプロセッサボードを示す構成図である。

【図10】図8に示すマルチマイクロプロセッサシステムに機能追加のためマイクロプロセッサボードを新たに加えた場合を示す構成図である。

【図11】図8に示すマルチマイクロプロセッサシステムの機能向上のため一部のマイクロプロセッサボードの改良を行った場合を示す構成図である。

【図12】従来の電気バックプレーンを示す構成図である。

【図13】従来の電気バックプレーンを用いて構成したマルチマイクロプロセッサシステムの構成図である。

【図14】図15に示すマルチマイクロプロセッサシステムのアドレス空間の一例を示す図である。

【図15】従来の電気バックプレーンを用いて構成したマルチマイクロプロセッサシステムにおける各マイクロプロセッサボード間のデータ受渡し方法を説明するためのタイミングチャートを示す図である。

【図16】図15に示すマルチマイクロプロセッサシステムに機能追加のためマイクロプロセッサボードを新たに加えた場合を示す構成図である。

【図17】図18に示すマルチマイクロプロセッサシステムのアドレス空間の一例を示す図である。

【図18】図15に示すマルチマイクロプロセッサシステムの機能向上のため一部のマイクロプロセッサボードの改良を行った場合を示す構成図である。

【図19】図20に示すマルチマイクロプロセッサシステムのアドレス空間の一例を示す図である。

【符号の説明】

90 光バックプレーン

91 伝送制御部

92 光分岐器

100 光バックプレーン

921~92N+1 信号線

92R 信号線

931~93N+1 電気/光(E/O)変換器

941~94N+1 光/電気(O/E)変換器

971~97N+1 光伝送路

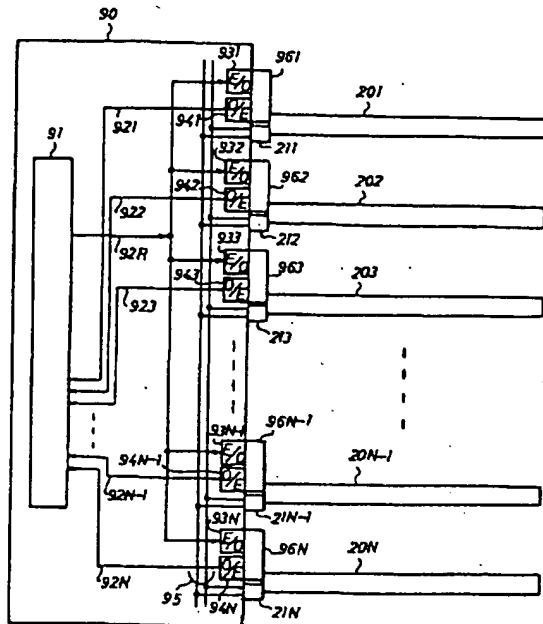
981~98N+1 光伝送路

201~20N マイクロプロセッサボード

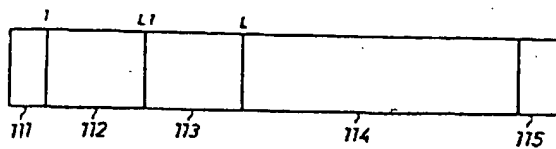
20N+1 システム機能追加のため増設されたマイクロプロセッサ

202a システムの機能向上のため改良されたマイクロプロセッサ

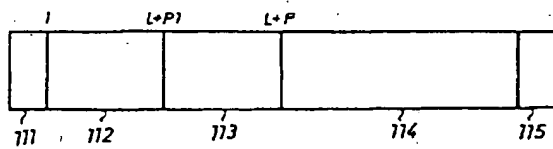
【図1】



【図3】

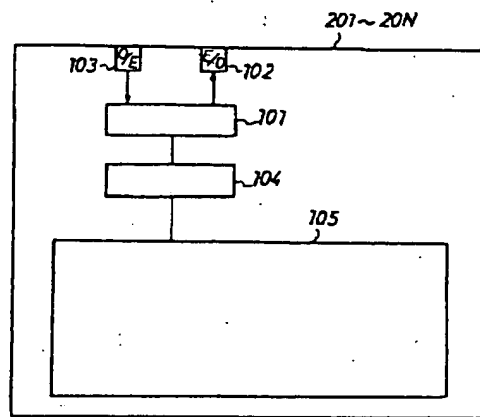


【図6】

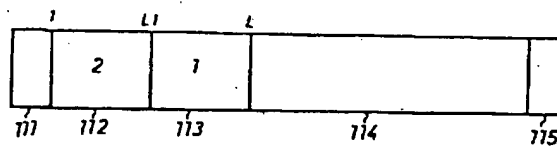


$$Y \leq 2L+P$$

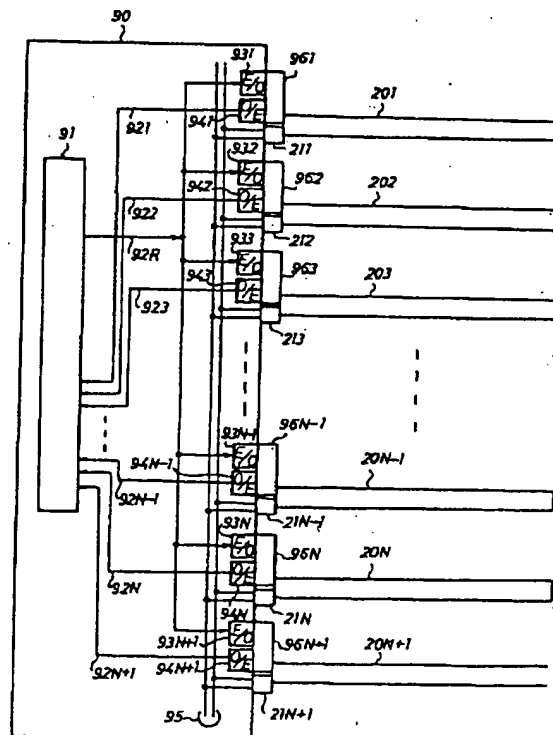
【図2】



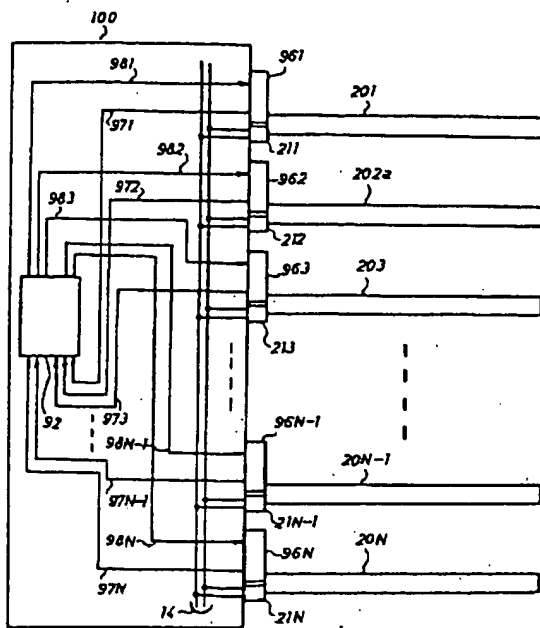
【図4】



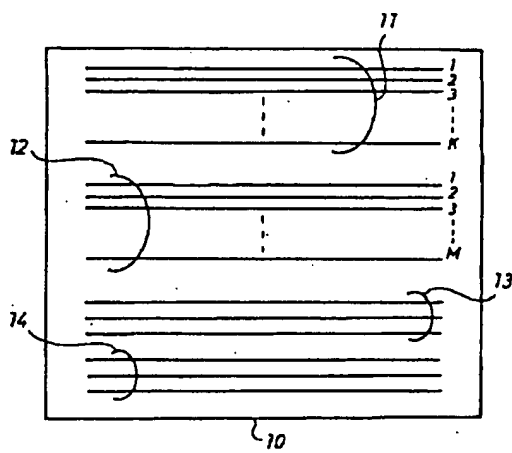
【図5】



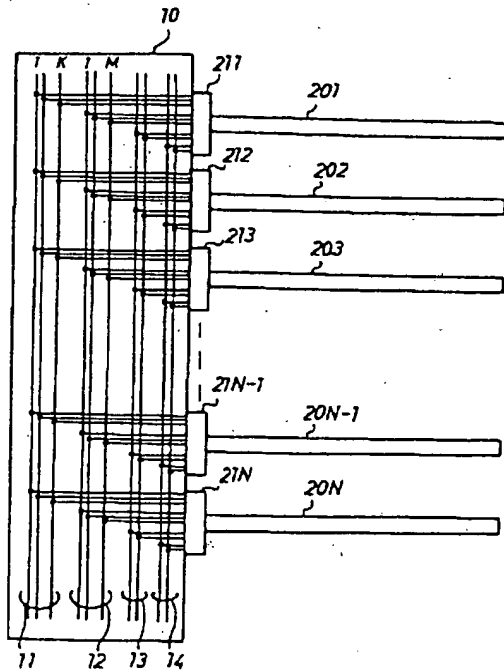
【図11】



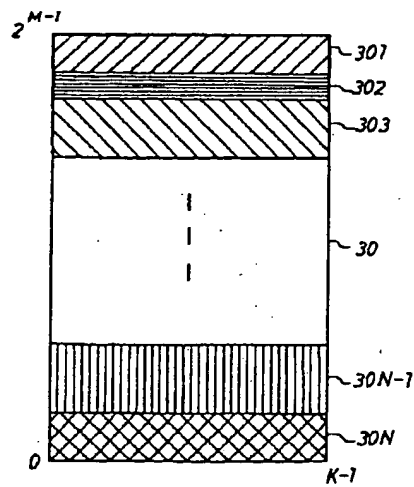
【図12】



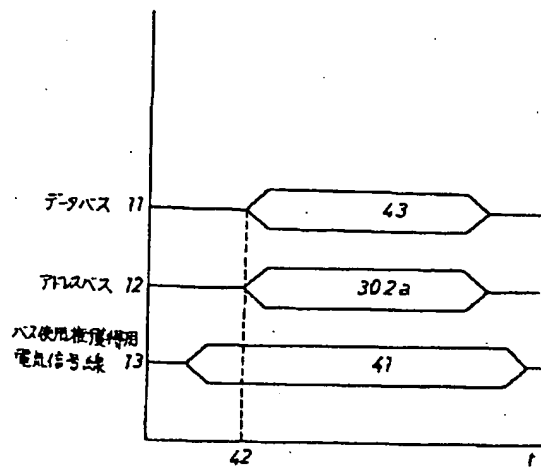
【図13】



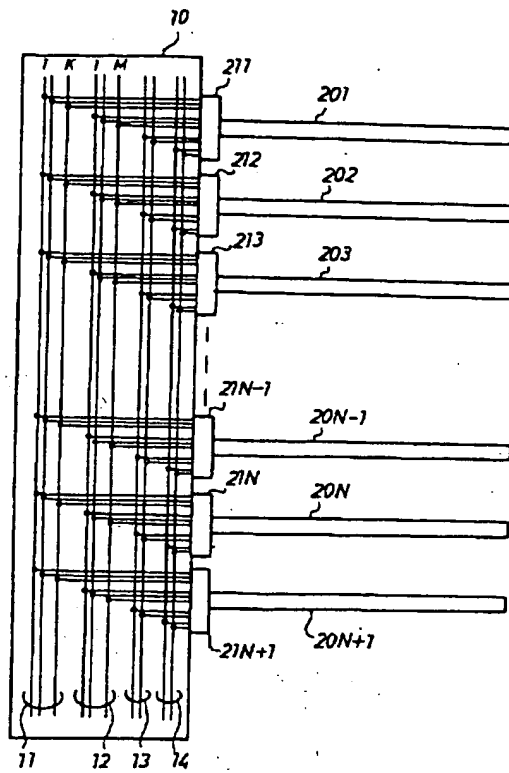
【図14】



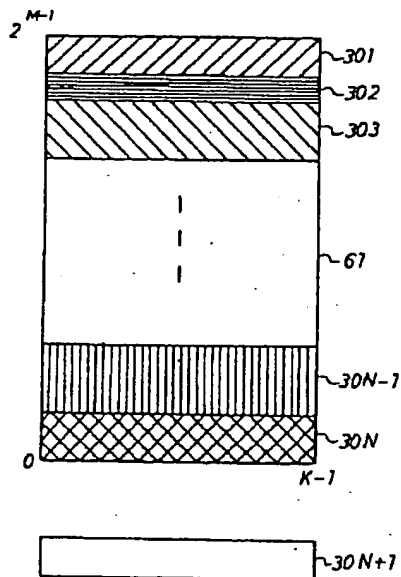
【図15】



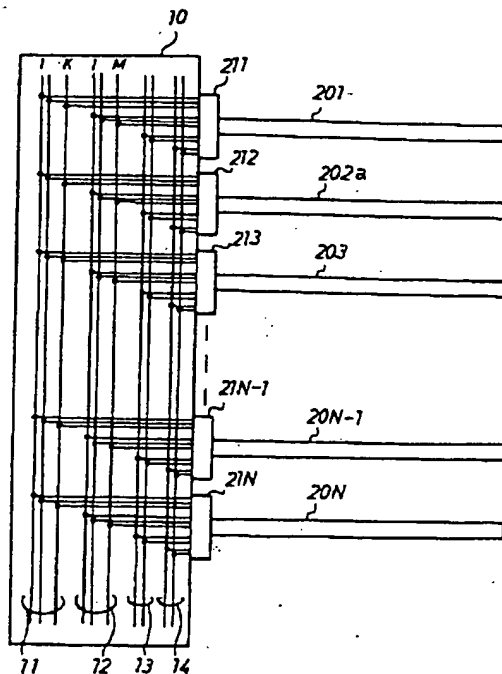
【図16】



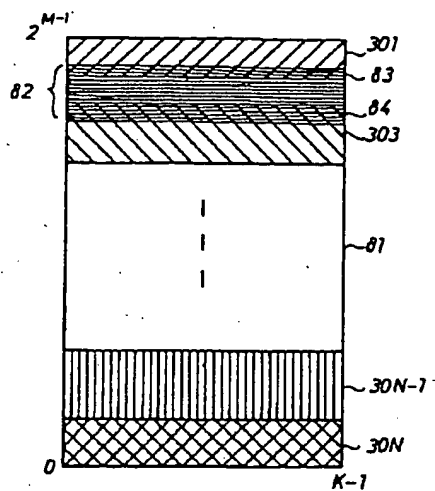
【図17】



【図18】



【図19】



フロントページの続き

(72)発明者 曾根 文樹

茨城県日立市日高町5丁目1番1号 日立
電線株式会社オプトロシステム研究所内

(72)発明者 寺田 松昭

神奈川県川崎市麻生区王禅寺1099 株式会
社日立製作所システム開発研究所内